

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-143107

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

G09G 3/28

(21)Application number : 08-298736

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.11.1996

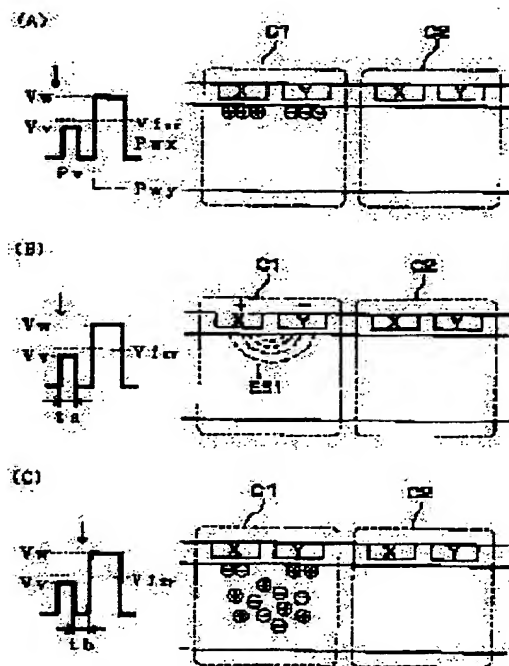
(72)Inventor : GWENN TAN NIYAN
OTSUKA AKIRA

(54) AC TYPE PDP DRIVE METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To uniformly charge all cells irrespective of the presence of remaining of wall charges in an overall writing process.

SOLUTION: Before the overall writing process that a wiring voltage exceeding a discharge start voltage V_{fXY} is applied to all cells constituting a screen, and the discharge are caused in all cells, and the wall charges are charged, by applying an auxiliary writing voltage V_v lower than the discharge start voltage V_{fXY} and with the same polarity as the writing voltage to all cells, a write preparatory process causing the discharge $ES1$ in a charged cell $C1$ that the wall charge exists before its appellation and inverting the polarity of the wall charge is integrated, and the writing voltage V_w is applied to the charged cell $C1$ in the period when space charges caused by the discharge $ES1$ responding to the application of the auxiliary writing voltage V_v .



LEGAL STATUS

[Date of request for examination]

18.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3318497

[Date of registration]

14.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-143107

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/28

G 0 9 G 3/28

E

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21) 出願番号 特願平8-298736

(22) 出願日 平成8年(1996)11月11日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 グェン タン ニヤン

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 大塚 晃

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 久保 幸雄

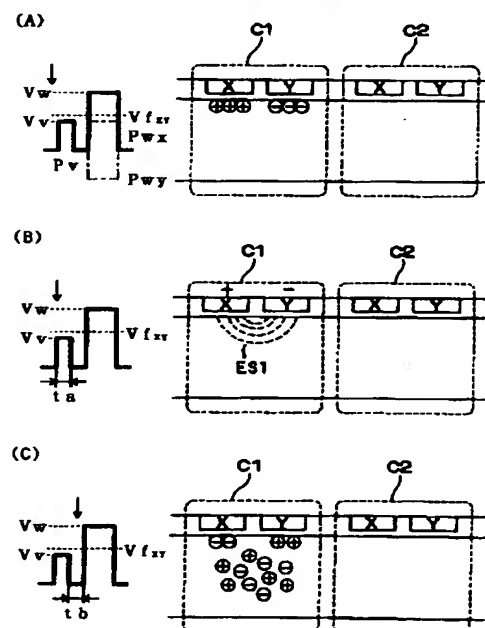
(54) 【発明の名称】 AC型PDPの駆動方法

(57) 【要約】

【課題】全面書込み過程において壁電荷の残存の有無に係わらず全てのセルを均等に帯電させることを目的とする

【解決手段】画面を構成する全てのセルに対して放電開始電圧 V_{fxy} を越える書込み電圧を印加し、全てのセルで放電を生じさせて壁電荷を帯電させる全面書込み過程の前に、全てのセルに対して放電開始電圧 V_{fxy} より低く書込み電圧と同極性の補助書込み電圧 V_v を印加することによって、その印加の前に壁電荷が存在した帯電セルC1で放電ES1を生じさせて壁電圧の極性を反転させる書込み準備過程を組み入れ、書込み電圧 V_w の印加を帯電セルC1に補助書込み電圧 V_v の印加に呼応した放電ES1で生じた空間電荷が残存している期間内に行う。

書込み準備過程における帯電状態の推移を示す図



【特許請求の範囲】

【請求項1】画面を構成する全てのセルに対して放電開始電圧を越える書込み電圧を印加し、前記全てのセルで放電を生じさせて壁電荷を帯電させる全面書込み過程を含むAC型PDPの駆動方法であって、

前記全面書込み過程の前に、前記全てのセルに対して放電開始電圧より低く且つ前記書込み電圧と同極性の補助書込み電圧を印加することによって、その印加の前に壁電荷が存在したセルである帯電セルで放電を生じさせて当該帯電セルの壁電圧の極性を反転させる書込み準備過程を組み入れ、

前記全面書込み過程における前記書込み電圧の印加を、前記帯電セルに前記補助書込み電圧の印加に呼応した放電で生じた空間電荷が残存している期間内に行うことを特徴とするAC型PDPの駆動方法。

【請求項2】画面を構成する全てのセルで自己放電を生じさせて前記画面の帯電状態を均等化するリセット過程と、表示内容に応じた特定のセルに壁電荷を帯電させるアドレッシング過程と、放電開始電圧より低い波高値のサステインパルスを印加して表示内容を維持するサステイン過程とを繰り返すAC型PDPの駆動方法であって、

前記リセット過程において、

前記全てのセルに対して放電開始電圧より低い補助書込み電圧を印加することによって、その印加の前に壁電荷が存在したセルである帯電セルで放電を生じさせて当該帯電セルの壁電圧の極性を反転させ、

前記帯電セルに前記補助書込み電圧の印加に呼応した放電で生じた空間電荷が残存している期間内に、前記全てのセルに対して放電開始電圧を越え且つ前記補助書込み電圧と同極性の書込み電圧を印加し、前記全てのセルで放電を生じさせて前記自己放電に適した量の壁電荷を帯電させることを特徴とするAC型PDPの駆動方法。

【請求項3】前記補助書込み電圧の印加から前記書込み電圧の印加までの時間間隔が10乃至20 μ sである請求項1又は請求項2記載のAC型PDPの駆動方法。

【請求項4】前記補助書込み電圧として、波高値が前記サステインパルスと等しく且つパルス幅が前記サステインパルスより短い電圧パルスを印加する請求項2記載のAC型PDPの駆動方法。

【請求項5】前記補助書込み電圧として、波高値が前記サステインパルスより低く且つパルス幅が前記サステインパルスより長い電圧パルスを印加する請求項2記載のAC型PDPの駆動方法。

【請求項6】前記補助書込み電圧として、前記サステインパルスよりもパルス幅が長く且つ前縁側の電圧の推移が緩やかな鈍波状の電圧パルスを印加する請求項2記載のAC型PDPの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、AC型のプラズマディスプレイパネル（PDP：Plasma Display Panel）の駆動方法に関する。

【0002】近年、PDPは、液晶デバイスよりも動画表示に適していることから、カラー表示が実用化されたことと相まって、テレビジョン映像やコンピュータのモニターなどの用途で広く用いられるようになってきた。また、ハイビジョン用の大画面フラット型デバイスとして注目されている。このような状況の中で、より高品位の表示の実現に向けて駆動方法の開発が進められている。

【0003】

【従来の技術】表示素子であるセルの集合によって画面（スクリーン）が構成されるマトリクス表示形式のPDPにおいて、セルの点灯状態の維持（サステイン）にメモリ機能が利用されている。AC型PDPは、主電極対を誘電体で被覆することにより構造的にメモリ機能を有するように構成されている。この種のPDPによる表示に際しては、ライン順次の画面走査をして表示内容に応じた帯電状態を形成するアドレッシングを行い、その後全てのセルに対して共通に交番極性のサステイン電圧を印加する。例えば書込みアドレス形式の場合には、アドレッシング期間において、各ラインのセルに対してアドレス放電を生じさせるための電圧を選択的に印加して所定のセルの誘電体を帯電させる。サステイン期間では、その開始時点で所定の壁電荷が存在したセルのみにおいてサステイン電圧の印加毎に放電が生じる。これは、サステイン電圧、すなわちサステインパルスの波高値が放電開始電圧より低い値に設定され、壁電荷による電圧（壁電圧）がサステイン電圧に加わったセルのみにおいて、実効電圧（セル電圧ともいう）が放電開始電圧を越えるからである。サステイン電圧の印加の周期を短くすれば、見かけの上で連続した発光（点灯状態）が得られる。サステイン電圧の周波数を一定とした場合、輝度はサステイン期間の長さ依存する。

【0004】通常、表示内容は定期的に更新される。例えば、テレビジョン画像を表示する場合には、1秒間に $K \times k$ 回（ K ：フレーム数、 k ：階調表示のためのフレーム分割数）のアドレッシングが行われる。表示内容の更新に際して、AC型PDPでは、以前の表示の影響を防止するために、新たな帯電状態の形成に先立って全てのセルの電荷を均等化する必要がある。この均等化は、放電開始電圧を越える波高値のリセットパルス（書込み電圧）を全てのセルに対して一斉に印加する全面書込み動作によって実現される。リセットパルスの前縁で放電が生じ、各セル内の誘電体にサステイン時よりも大量の壁電荷が帯電する。この帯電で生じた壁電圧と書込み電圧との相殺により実効電圧が低下し、放電が低下する。その後、書込み電圧の印加が終了した時点（リセットパルスの後縁）で壁電圧のみによるいわゆる自己放電が生

じ、ほとんどの壁電荷が中和して消失する。すなわち、画面の全体にわたって誘電体がほぼ非帯電状態になる。

【0005】

【発明が解決しようとする課題】上述の全面書込み動作によって得ようとする状態は、画面の全体が均等に帯電した状態である。しかし、従来では、書込み電圧の印加時点で壁電荷の残存するセルと実質的に壁電荷の残存しないセルとの間で放電強度に差異が生じ、そのために画面の帯電が均等にならないという問題があった。つまり、各回の表示内容の更新時において、その1つ前の更新で非発光が設定されたセル（これを“非帯電セル”と呼称する）は実質的に非帯電状態であるのに対し、発光が設定されたセル（これを“帯電セル”と呼称する）には壁電荷が残存している。したがって、帯電セルでは、壁電圧が書込み電圧に加わって実効電圧が高くなり、非帯電セルよりも強い放電が生じて帯電量が多くなっていた。なお、書込み電圧の極性を反転すると、壁電圧分だけ実効電圧が書込み電圧より低くなり、帯電セルの放電強度が非帯電セルよりも小さくなる。

【0006】図10は従来におけるセル間の発光強度の差異を示すグラフである。横軸の目盛りは書込み電圧の印加時点（印加パルスの前縁）からの経過時間を示している。図10のとおり、帯電セルの発光強度（実線）のピーク値は、非帯電セルの発光強度（鎖線）のピーク値の約7倍である。放電強度が大きいほど発光強度も大きいので、図10から帯電セルの放電強度が非帯電セルと比べて大幅に大きいことが分かる。

【0007】全面書込み動作における放電が過大であると、セル内の帯電範囲が必要以上に広がってしまい、その後に自己放電が生じて壁電荷が完全には消失しない。逆に放電が過小であると、帯電量が不足して自己放電が生じず、壁電荷がそのまま残る。このことから、自己放電で画面全体を非帯電状態にした後にアドレッシングを行う書込みアドレス形式の駆動シーケンスを採用する場合には、アドレッシングの信頼性を確保するため、全面書込み動作によって全てのセルに均等に適量の壁電荷を帯電させる必要がある。また、アドレス放電によって壁電荷を選択的に消去する消去アドレス形式の駆動シーケンスを採用する場合においても、全てのセルに均等に適量の壁電荷を帯電させる必要がある。

【0008】なお、全てのセルに書込み電圧を印加せずに、帯電セルのみに選択的に駆動電圧を印加して消去放電を生じさせることが考えられる。しかし、帯電のばらつきがあるので、自己放電によらずに壁電荷を消去するのは難しい。また、1つの画像の表示に対して、画像を書き込むためのアドレッシングと画像を消去するためのアドレッシングとを行うことになり、画面走査の所要時間が2倍になるので、自然な動きの動画表示や多階調表示ができなくなる。つまり、実用において全面書込み動作は不可欠である。

【0009】本発明は、全面書込み過程において壁電荷の残存の有無に係わらず全てのセルを均等に帯電させることによって、乱れの無い高品位の表示を実現することを目的としている。

【0010】

【課題を解決するための手段】残留する壁電荷を利用して帯電セルのみで放電を生じさせ、改めて壁電荷を帯電させる。放電の前後で壁電圧の極性は反転する。放電空間に十分な浮遊電荷（空間電荷）が存在する20 μ s程度の期間内に、反転後の壁電圧が実効電圧を引き下げないように極性を設定した書込み電圧を、帯電セル及び非帯電セルに対して印加する。非帯電セルでは、書込み電圧と等しい実効電圧が加わり、所定強度の放電が生じる。一方、帯電セルでは、実効電圧が書込み電圧より低いものの、空間電荷によるプライミング効果で放電開始電圧が下がるので、実効電圧の低下分とプライミング効果とが相殺され、結果的に非帯電セルと同程度の強度の放電が生じる。電圧印加の条件を適切に設定することにより、放電強度を均等化することができる。放電強度に差異がなければ、帯電量は均等になる。

【0011】請求項1の発明の方法は、画面を構成する全てのセルに対して放電開始電圧を越える書込み電圧を印加し、前記全てのセルで放電を生じさせて壁電荷を帯電させる全面書込み過程を含むAC型PDPの駆動方法であって、前記全面書込み過程の前に、前記全てのセルに対して放電開始電圧より低く且つ前記書込み電圧と同極性の補助書込み電圧を印加することによって、その印加の前に壁電荷が存在したセルである帯電セルで放電を生じさせて当該帯電セルの壁電圧の極性を反転させる書込み準備過程を組み入れ、前記全面書込み過程における前記書込み電圧の印加を、前記帯電セルに前記補助書込み電圧の印加に呼応した放電で生じた空間電荷が残存している期間内に行うものである。

【0012】請求項2の発明の方法は、画面を構成する全てのセルで自己放電を生じさせて前記画面の帯電状態を均等化するリセット過程と、表示内容に応じた特定のセルに壁電荷を帯電させるアドレッシング過程と、放電開始電圧より低い波高値のサステインパルスを印加して表示内容を維持するサステイン過程とを繰り返すAC型PDPの駆動方法であって、前記リセット過程において、前記全てのセルに対して放電開始電圧より低い補助書込み電圧を印加することによって、その印加の前に壁電荷が存在したセルである帯電セルで放電を生じさせて当該帯電セルの壁電圧の極性を反転させ、前記帯電セルに前記補助書込み電圧の印加に呼応した放電で生じた空間電荷が残存している期間内に、前記全てのセルに対して放電開始電圧を越え且つ前記補助書込み電圧と同極性の書込み電圧を印加し、前記全てのセルで放電を生じさせて前記自己放電に適した量の壁電荷を帯電させるものである。

【0013】請求項3の発明の方法は、前記補助書込み電圧の印加から前記書込み電圧の印加までの時間間隔を10乃至20 μ sとするものである。請求項4の発明の方法は、前記補助書込み電圧として、波高値が前記サステインパルスと等しく且つパルス幅が前記サステインパルスより短い電圧パルスを印加するものである。

【0014】請求項5の発明の方法は、前記補助書込み電圧として、波高値が前記サステインパルスより低く且つパルス幅が前記サステインパルスより長い電圧パルスを印加するものである。

【0015】請求項6の発明の方法は、前記補助書込み電圧として、前記サステインパルスよりもパルス幅が長く且つ前縁側の電圧の推移が緩やかな鈍波状の電圧パルスを印加するものである。

【0016】

【発明の実施の形態】図1は本発明に係るPDPの内部構造を示す斜視図である。例示のPDP1は、3電極構造の面放電形式のAC型PDPである。前面側のガラス基板11の内面に、マトリクス表示のラインL毎に一对のサステイン電極X、Yが配列されている。サステイン電極X、Yは、それぞれが透明導電膜41と金属膜42とからなり、AC駆動のための誘電体層17で被覆されている。誘電体層17の表面にはMgOからなる保護膜18が蒸着されている。背面側のガラス基板21の内面には、下地層22、列選択のためのアドレス電極A、絶縁層24、セルを画定するための隔壁29、及びカラー表示のための3色(R、G、B)の蛍光体層28R、28G、28Bが設けられている。各隔壁29は平面視において直線状である。これら隔壁29によって放電空間30がライン方向にサブピクセル毎に区画され、且つ放電空間30の間隙寸法が一定値(例えば150 μ m)に規定されている。放電空間30にはネオンにキセノンを混合したベニングガスが充填されている。表示のピクセル(画素)は、ライン方向に並ぶ3つのサブピクセルからなる。隔壁29の配置パターンがストライプパターンであることから、放電空間30のうちの各列に対応した部分は、全てのラインLに跨って列方向に連続している。各列内のサブピクセルの発光色は同一である。各サブピクセルの範囲内の構造体がセル(表示素子)であり、画面SCはセルの集合によって構成されている。画面SCの仕様は表1のとおりである。

【0017】

【表1】

項 目	仕 様
画面サイズ	42インチ
アスペクト比	16:9
ピクセル数	852×480
サブピクセル数	2556×480
ピクセルピッチ	1.08mm
サブピクセル配列	RGBRGB

【0018】PDP1では、各サブピクセルの発光/非発光の選択(アドレッシング)に、アドレス電極Aとサステイン電極Yとが用いられる。すなわち、m本(mはライン数)のサステイン電極Yに対して1本ずつ順にスキャンパルスを印加することによって画面走査(ライン選択)が行われ、サステイン電極Yと表示内容に応じて選択されたアドレス電極Aとの間での対向放電によって、ラインL毎に所定の帯電状態が形成される。なお、サステイン電極Xは、形成段階であらかじめ基板上で接続電極により共通接続されるか又は外部接続用のフレキシブルケーブルにより共通接続され、外部の駆動回路に接続される。アドレッシングの後、サステイン電極Xとサステイン電極Yとに交互に所定波高値(Vs)のサステインパルスを印加すると、アドレッシングの終了時点で所定量の壁電荷が存在したセルで面放電(サステイン放電)が生じる。対向放電は基板対の対向方向に電荷が移動するものであり、面放電は基板面に沿った方向に電荷が移動するものである。面放電で生じた紫外線により蛍光体層28R、28G、28Bが局部的に励起されて発光する。発光した可視光のうち、ガラス基板11を透過する光が表示に寄与する。以下、PDP1の駆動方法をさらに詳しく説明する。

【0019】図2はフィールド構成図である。ここでは、テレビジョンのように1フレームを複数のフィールドに分割するインタレース形式で走査された画像を再生するものとする。

【0020】256階調表示を行う場合、1つのフィールドfを8つのサブフィールドsf1、sf2、sf3、…sf8に分割する(以下、これらを区別せずにサブフィールドsfと記す)。各サブフィールドsfの表示期間は、リセット期間TR、アドレス期間TA、及びサステイン期間TSからなる。各サブフィールドsfにおける輝度の相対比率が1:2:4:8:16:32:64:128となるように重み付けをして、各サブフィールドsfのサステイン期間TSの発光回数を設定する。各サブフィールドsfは1つの階調レベルの画像である。なお、サブフィールドの順序は、重みの大きさの順(昇順又は降順)にする必要はない。例えば、重みが大きいサブフィールドをフィールドの中間に配置するといった最適化が知られている。

【0021】図3は第1実施形態に係る駆動方法における印加電圧の波形図である。各サブフィールドsfの表示期間のうちのリセット期間TRは、それ以前の点灯状態の影響を防ぐため、画面全体を非帯電状態とする期間である。このリセット期間TRにおいて、本発明に固有の駆動制御が行われる。すなわち、自己放電に必要な壁電荷を帯電させる全面書込み過程に先立って、帯電セルのみで放電を生じさせる書込み準備過程を行う。具体的には、面放電開始電圧より低い波高値Vv(例えば170V)の正極性の補助書込みパルスPvをサステイン電

極Xに印加する。その後、補助書込みパルス P_v による放電で生じた空間電荷が十分に残存する $20\mu s$ 程度の期間内に全面書込み過程を行う。この例では全面書込み過程として、サステイン電極X、Y間の相対駆動電圧（バイアス電位差 V_w ）が面放電開始電圧より十分に高くなるように、サステイン電極Xに波高値 V_s の正極性の書込みパルス P_{wx} を印加し、同時にサステイン電極Yに波高値 V_s の負極性の書込みパルス P_{wy} を印加する。加えて、面放電のトリガーとしての対向放電を生じさせるためにアドレス電極Aに波高値 V_{aw} （例えば $60V$ ）の正極性の書込みパルス P_{wa} を印加する。このような書込み準備過程及び全面書込み過程を含むリセット過程の作用は後述する。

【0022】アドレス期間TAは、ライン順次のアドレッシングを行う期間である。サステイン電極Xを接地電位に対して正電位 V_{ax} （例えば $55V$ ）にバイアスし、全てのサステイン電極Yを負電位 V_{sc} （例えば $-70V$ ）にバイアスする。この状態で、先頭のラインから1ラインずつ順に各ラインを選択し、サステイン電極Yに負極性のスキャンパルス P_y を印加する。選択されたラインのサステイン電極Yの電位は、一時的に負電位 V_y （例えば $-170V$ ）にバイアスされる。ラインの選択と同時に、発光すべきセルに対応したアドレス電極Aに対して、波高値 V_a （例えば $60V$ ）の正極性のアドレスパルス P_a を印加する。選択されたラインのうちのアドレスパルス P_a が印加されたセルにおいて、サステイン電極Yとアドレス電極Aとの間のアドレス放電が起こる。サステイン電極Xがアドレスパルス P_a と同極性の電位にバイアスされているので、そのバイアスでアドレスパルス P_a が打ち消され、サステイン電極Xとアドレス電極Aの間では放電は起きない。また、サステイン電極Xのバイアス電位 V_{ax} は、ライン内の非選択のセルの帯電を防止するため、サステイン電極Xとサステイン電極Yとの相対電圧が面放電開始電圧 $V_{f_{xy}}$ より低くなるように設定されている。

【0023】サステイン期間TSは、階調レベルに応じた輝度を確保するために、アドレッシングによって設定された発光状態を維持する期間である。対向放電を防止するため、全てのアドレス電極Aを正極性の電位（例えば $V_s/2$ ）にバイアスし、最初に全てのサステイン電極Yに波高値 V_s の正極性のサステインパルス P_s を印加する。その後、サステイン電極Xとサステイン電極Yとに対して、交互にサステインパルス P_s を印加する。サステインパルス P_s の印加毎に、アドレス期間TAに帯電したセルで面放電が生じ、壁電圧の極性が反転する。最終のサステインパルス P_s はサステイン電極Yに印加される。

【0024】図4は書込み準備過程における帯電状態の推移を示す図である。図4（A）のように補助書込み電圧 V_v の印加の直前においては、前サブフィールドのサ

ステイン期間に発光したセルである帯電セルC1には壁電荷が存在し、その他のセルである非帯電セルC2には実質的に壁電荷が存在しない。帯電セルC1において、サステイン電極X側の壁電荷は正電荷であり、サステイン電極Y側の壁電荷は負電荷である。すなわち、サステイン電極Y側を基準電位とすると、壁電圧は正極性である。

【0025】帯電セルC1と非帯電セルC2とを区別せずに全てのセルに補助書込み電圧 V_v を印加すると、補助書込み電圧 V_v が面放電開始電圧 $V_{f_{xy}}$ よりも低いので、図4（B）のように帯電セルC1のみで面放電ES1が生じる。すなわち、サステインと同様に放電の有無の自己選択が行われる。面放電ES1により新たに生じる壁電荷の量は補助書込み電圧 V_v の印加時間（パルス幅） t_a に依存する。印加時間（パルス幅） t_a の実用範囲は $1\sim 3\mu s$ である。なお、補助書込み電圧 V_v をサステイン電圧 V_s と同じ値にすることにより、電源の共通による駆動回路構成の簡単化を図ることができる。 $V_v=V_s$ とする場合、パルス幅 t_a をサステインパルス P_s より短くする。

【0026】面放電ES1によって帯電セルC1における壁電圧の極性が反転する。すなわち、図4（C）のようにサステイン電極X側に負電荷が帯電し、サステイン電極Y側に正電荷が帯電する。また、面放電ES1の停止時点からの経過時間が $20\mu s$ 程度の以内であれば、帯電セルC1に十分な量の空間電荷が残留している。

【0027】図5は全面書込み過程における帯電状態の推移を示す図である。上述したように面放電開始電圧 $V_{f_{xy}}$ より高い書込み電圧（極性は補助書込み電圧と同じ） V_w をサステイン電極Xに対して印加すると、図5（A）のように帯電セルC1及び非帯電セルC2の両方で面放電ES2が生じる。このとき、補助書込み電圧 V_v の印加終了時点から書込み電圧 V_w を印加するまでの期間（パルス間隔） t_b を $20\mu s$ 以下とすると、帯電セルC1での放電にプライミング効果を利用することができる。ただし、期間 t_b を極端に短くすると、面放電ES2が生じない。パルス間隔 t_b の実用範囲は $10\sim 20\mu s$ である。

【0028】図5（B）のように、面放電ES2によって帯電セルC1及び非帯電セルC2にサステイン時よりも多量の壁電荷が帯電する。帯電量は面放電ES2の強度に依存する。

【0029】書込み電圧 V_w の印加を終了すると、図5（C）のように帯電セルC1及び非帯電セルC2において自己放電ES3が生じる。自己放電ES3によって壁電荷が消失し、画面SCの全体が非帯電状態となる。

【0030】図6は全面書込み過程における放電強度の均一化の原理図である。書込み電圧 V_w の印加時点で、帯電セルC1には壁電荷が存在する〔図4（C）参照〕。このため、帯電セルC1における実効電圧 V_{eff}

f_1 は、壁電圧 V_{wall} の分だけ書込み電圧 V_w より低くなる。ただし、プライミング効果によって面放電開始電圧 $V_{f_{xy}}$ が低くなるので、実効電圧 V_{eff_1} と面放電開始電圧 $V_{f_{xy}}$ との差が壁電荷の無い場合と同程度になる。一方、非帯電セル C_2 では、実効電圧 V_{eff_2} が書込み電極 V_w と等しく、実効電圧 V_{eff_2} と面放電開始電圧 $V_{f_{xy}}$ (帯電セル C_1 より高い) との差に応じた強度の面放電が生じる。

【0031】補助書込み電圧 V_v による帯電量、及び書込み電圧 V_w の印加タイミングを最適化することにより、帯電セル C_1 と非帯電セル C_2 との間の放電強度の差異を可及的に低減することができる。

【0032】図7は全面書込み過程における発光強度を示すグラフである。図7の例における駆動条件は表2のとおりである。図7において、帯電セル C_1 の発光強度(実線)のピーク値は、非帯電セル C_2 の発光強度(鎖線)のピーク値の1.6倍程度である。図7と図10との比較から明らかなように、本発明を適用することにより、帯電セル C_1 と非帯電セル C_2 との間の放電強度の均等化を図ることができる。

【0033】

【表2】

補助書込みパルスの波高値 V_v	170 ボルト
補助書込みパルスのパルス幅 t_a	3 μ s
パルス間隔 t_b	15 μ s

【0034】図8は第2実施形態に係る駆動方法における印加電圧の波形図、図9は第3実施形態に係る駆動方法における印加電圧の波形図である。これらの図において、図3に対応するパルスには同一の符号を付してある。

【0035】図8の駆動方法は、リセット期間 T_R において、書込みパルス P_{wx} 、 P_{wy} を印加する全面書込み過程に先立って、パルス幅 t_a がサステインパルス P_s より長い正極性の補助書込みパルス P_v2 をサステイン電極 X に印加するものである。補助書込みパルス P_v2 の波高値は、サステイン電圧 V_s より20~50V程度低い値に設定する。パルス幅 t_a を長くすることにより、短い場合よりも確実に放電が生じる。つまり、書込み準備過程の信頼性を高めることができる。パルス幅 t_a の実用範囲は10~20 μ sである。

【0036】図9の駆動方法は、リセット期間 T_R において、書込みパルス P_{wx} 、 P_{wy} を印加する全面書込み過程に先立って、パルス幅 t_a がサステインパルス P_s より長く且つ立ち上がりの緩やかな正極性の補助書込みパルス P_v3 をサステイン電極 X に印加するものである。補助書込みパルス P_v3 の波高値は、サステイン電圧 V_s と同じ値とする。立ち上がりが緩やかであれば、実

効電圧が徐々に上昇して放電開始電圧に達した時点で放電が生じ、放電による発光が急峻な立ち上がりの場合よりも弱い。つまり、補助書込みパルス P_v3 を鈍波状とすることにより、不要の発光を抑えてコントラストを高めることができる。鈍波状とするには、電源とサステイン電極 X との間に抵抗を挿入すればよい。抵抗が介在する分だけ電圧遷移の時定数が増大し、パルスの立ち上がりが緩やかになる。

【0037】以上の各実施形態においては駆動の対象を面放電形式のPDP1としたが、対をなす2本の電極 X 、 Y を前面側の基板と背面側の基板とに振り分けて互いに交差するように配置した2電極構造の対向放電形式のPDPにも本発明を適用することができる。駆動条件は例示の数値に限定されず、パネル構造に応じて適宜変更可能である。必ずしもリセット期間 T_R で自己放電を生じさせる必要はない。例えば消去アドレス形式を採用する場合には、全てのセルに自己放電が起きない程度の壁電荷を帯電させる。

【0038】

【発明の効果】請求項1乃至請求項6の発明によれば、全面書込み過程において壁電荷の残存の有無に係わらず全てのセルを均等に帯電させることができ、乱れの無い高品位の表示を実現することができる。

【0039】請求項2の発明によれば、書込みアドレス形式の表示制御の信頼性を高めることができる。請求項4の発明によれば、サステインのための電源を用いて補助書込み電圧を印加することができるので、書込み準備過程を組み入れることによる駆動回路の複雑化を避けることができる。

【0040】請求項5の発明によれば、帯電を均等化するための放電をより確実に生じさせることができる。請求項6の発明によれば、不要の発光を抑えてコントラストの低下を防止することができる。

【図面の簡単な説明】

【図1】本発明に係るPDPの内部構造を示す斜視図である。

【図2】フィールド構成図である。

【図3】第1実施形態に係る駆動方法における印加電圧の波形図である。

【図4】書込み準備過程における帯電状態の推移を示す図である。

【図5】全面書込み過程における帯電状態の推移を示す図である。

【図6】全面書込み過程における放電強度の均一化の原理図である。

【図7】全面書込み過程における発光強度を示すグラフである。

【図8】第2実施形態に係る駆動方法における印加電圧の波形図である。

【図9】第3実施形態に係る駆動方法における印加電圧

の波形図である。

【図10】従来におけるセル間の発光強度の差異を示すグラフである。

【符号の説明】

1 PDP

C1 帯電セル

ES1 面放電（書き込み準備過程における放電）

ES3 自己放電

t b パルス間隔（期間）

Ps サステインパルス

Pv 補助書き込みパルス（パルス幅が短い電圧パルス）

Pv2 補助書き込みパルス（パルス幅が長い電圧パルス）

Pv3 補助書き込みパルス（鈍波状の電圧パルス）

SC 画面

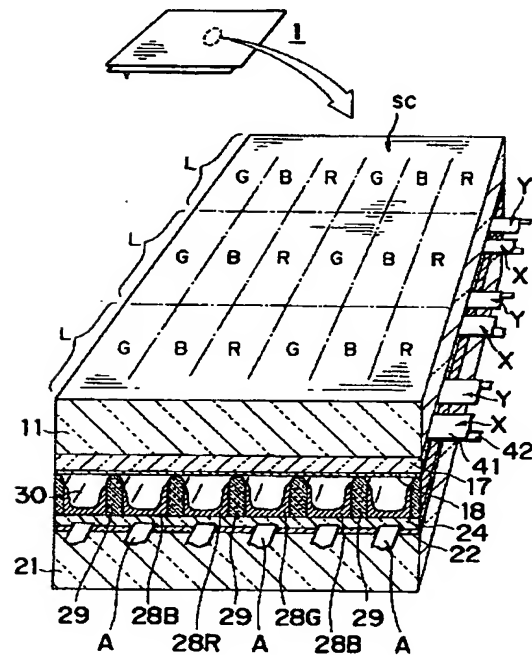
Vf_{XY} 面放電開始電圧（放電開始電圧）

Vv 補助書き込み電圧

Vw 書き込み電圧

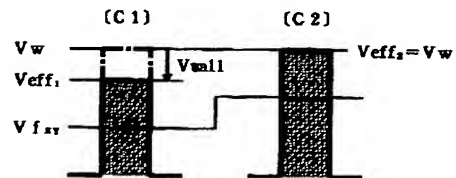
【図1】

本発明に係るPDPの内部構造を示す斜視図

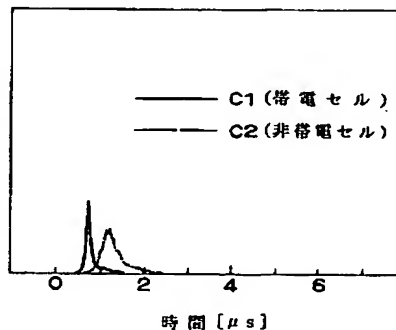


【図6】

全面書き込み過程における放電強度の均一化の原理図

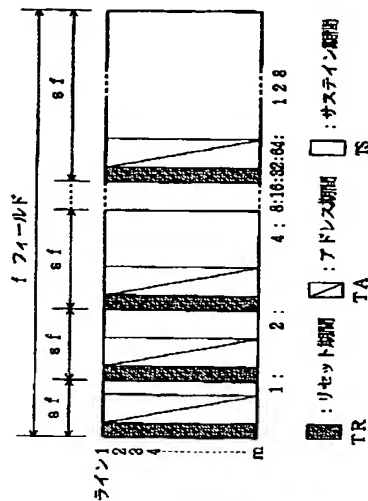


発光強度 [任意単位]



【図2】

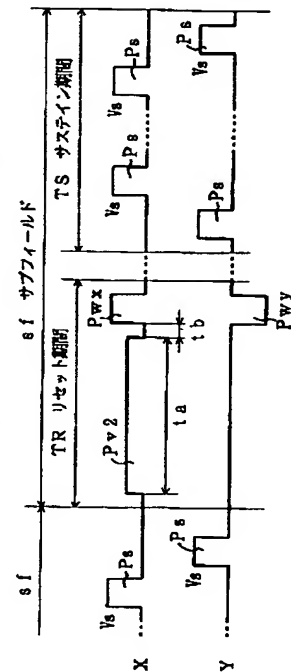
フィールド構成図



【図7】

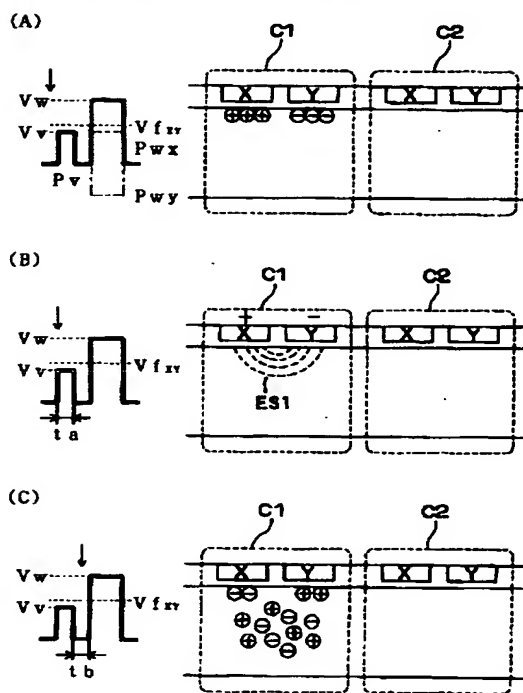
全面書き込み過程における発光強度を示すグラフ

第2実施形態に係る駆動方法における印加電圧の波形図



【図4】

蓄込み準備過程における帯電状態の推移を示す図



【図5】

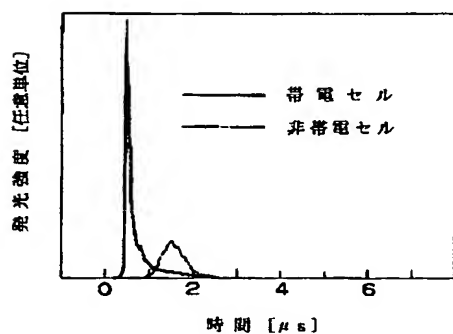
全面書き込み過程における帯電状態の推移を示す図

Figure 1 consists of three parts, (A), (B), and (C), each showing a voltage waveform and a schematic diagram of the device operation.

(A) First operation: The voltage waveform shows a pulse V_w applied to the word line, and a bias voltage V_v is applied to the bit line. The diagram shows the word line connected to C1 and C2, and the bit line connected to ES2.

(B) Second operation: The voltage waveform shows a pulse V_w applied to the word line, and a bias voltage V_v is applied to the bit line. The diagram shows the word line connected to C1 and C2, and the bit line connected to ES2.

(C) Third operation: The voltage waveform shows a pulse V_w applied to the word line, and a bias voltage V_v is applied to the bit line. The diagram shows the word line connected to C1 and C2, and the bit line connected to ES3.



【図9】

第3実施形態に係る駆動方法
における印加電圧の波形図

